

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151428

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H01L 21/26
H01L 21/28
H01L 21/3205
H01L 21/768
H01L 27/105
H01L 27/10

(21)Application number : 2000-345066

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.11.2000

(72)Inventor : ITO TAKAYUKI

INUMA TOSHIHIKO

SUGURO KYOICHI

ARIKADO TSUNETOSHI

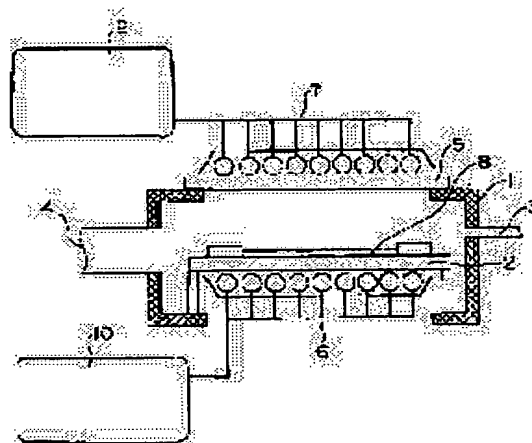
IZUKA YOSHIO

(54) METHOD FOR HEAT TREATMENT AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for heat treatment for implementing the formation of a high-quality ferroelectric film at a low temperature, such as 400° C or about, the formation of a contact section having a high contactability at a low temperature, the formation of silicide rapidly at a low temperature, or the like.

SOLUTION: This method for heat treatment comprises at least two kinds of lamps. The first lamp (halogen lamp or the like) 6 is lighted up to heat a sample (silicon wafer) 8. When the sample reaches a specified temperature, the second lamp (flash lamp) 7 is lighted up to further increase the temperature of the sample until the sample reaches a desired temperature. That is, this method for heat treatment comprises a process of heating the sample using at least two kinds of lamps which are lighted up at different times. In this method, a first source of heat and a second source of heat different in light emission wavelength distribution and radiation time are combined for the purpose of reducing a thermal budget in a contact process, so as to make interconnections, contact sections between electrodes and a semiconductor substrate or a conductor film, or the like rapidly react to reduce a contact resistance.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

03.02.2003

[Date of sending the examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-151428

(P2002-151428A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 21/26		H 0 1 L 21/28	3 0 1 S 4 M 1 0 4
21/28	3 0 1		3 0 1 R 5 F 0 3 3
		27/10	4 6 1 5 F 0 8 3
21/3205		21/26	J
21/768		21/88	Q
審査請求 未請求 請求項の数10 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2000-345066(P2000-345066)

(22) 出願日 平成12年11月13日 (2000.11.13)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 伊藤 貴之

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 飯沼 俊彦

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100097629

弁理士 竹村 壽

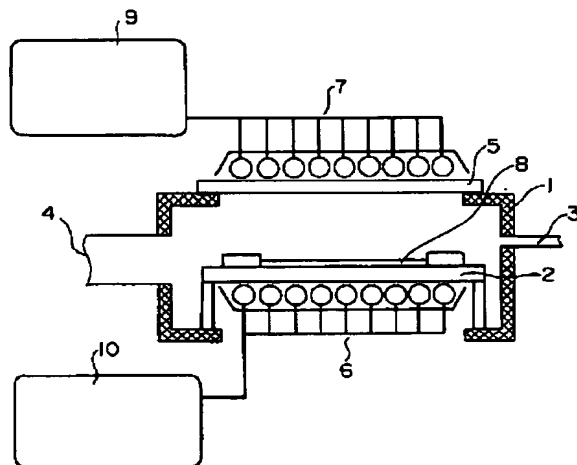
最終頁に続く

(54) 【発明の名称】 熱処理方法及び半導体装置の製造方法

(57) 【要約】

【課題】 400℃程度の低温で良質な強誘電体膜を形成すること、低温でコンタクト性の高いコンタクト部を形成すること、低温で急速にシリサイド形成を行うことなどを実施するための熱処理方法を提供する。

【解決手段】 少なくとも2種類以上のランプを備え、第1のランプ（ハロゲンランプなど）6を点灯して試料（シリコンウェーハ）8を加熱し、一定の温度に達したところで第2のランプ（フラッシュランプ）7を点灯し、試料の温度をさらに上昇させ所望の温度に到達せしめる。即ち、点灯時間の異なる少なくとも2種類以上のランプを用いて加熱する工程を具備する。本発明は、コンタクトプロセスのサーマルバジェットの低減化を目的に発光波長分布と照射時間が異なる第1の加熱源と第2の加熱源とを組み合わせ、配線や電極と半導体基板や導電体膜とのコンタクト部等を高速反応させてコンタクト抵抗を低抵抗化させる。



【特許請求の範囲】

【請求項1】 試料を加熱処理する際に、点灯時間の異なる少なくとも2種類以上のランプを用いて加熱する工程を具備し、前記試料を加熱処理する際に、第1の種類のランプを点灯し、続いて、前記第1の種類のランプの点灯中にフラッシュランプからなる第2の種類のランプを点灯して試料を加熱することを特徴とする熱処理方法。

【請求項2】 半導体基板上に絶縁膜を形成し、この絶縁膜に前記半導体基板もしくはこの半導体基板上に形成された導電体膜を露出させるコンタクト孔を形成する工程と、
前記コンタクト孔から露出している半導体基板表面もしくは前記導電体膜に接続する配線もしくは導電性電極を堆積させてコンタクト部を形成する工程と、
前記半導体基板を熱処理することにより前記半導体基板表面もしくは前記導電体膜と前記配線もしくは前記導電性電極との前記コンタクト部のコンタクト性を向上させる工程とを備え、
前記半導体基板を熱処理する工程において、発光波長分布及び照射時間の異なる2つの加熱源を用い、第1の加熱源を照射し、照射中もしくは照射停止後熱処理温度が低下する前に第2の加熱源を前記第1の加熱源の照射時間よりも短い時間照射することを特徴とする半導体装置の製造方法。

【請求項3】 前記配線もしくは導電性電極は、前記半導体基板表面もしくは前記導電体膜の表面に形成される酸化膜を還元できる金属膜であることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記酸化膜を還元できる金属膜は、酸化膜形成時と下地である前記半導体基板もしくは前記導電体膜を構成する元素との化合物形成時を併せた生成熱が、前記半導体基板表面もしくは前記導電体膜の表面に形成される酸化膜の生成熱より負に大きいことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記酸化膜を還元できる金属膜にはシリコンが5～20原子%含有されていることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記加熱源は、発光波長が赤外領域にある前記第1の加熱源と、それより短波長側にある発光波長を有する第2の加熱源からなることを特徴とする請求項3乃至請求項5に記載の半導体装置の製造方法。

【請求項7】 前記第2の加熱源は、発光波長領域の少なくとも一部が紫外領域にあることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記第2の加熱源は、フラッシュランプであることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項9】 前記第1の加熱源による前記半導体基板の温度は、前記絶縁膜、前記導電体膜、前記配線及び前

記導電性電極の特性劣化の誘発しない温度より低く、前記第2の加熱源は、低負荷内でコンタクト部の反応が促進する照射エネルギー密度に設定されることを特徴とする請求項2乃至請求項8のいずれかに記載の半導体装置の製造方法。

【請求項10】 半導体素子が形成された半導体基板上に層間絶縁膜を介して少なくとも1層のアルミニウム配線を形成する工程と、

前記アルミニウム配線上に層間絶縁膜を介して、下部電極、強誘電体膜、上部電極を順次スパッタリング法により堆積させる工程と、

前記半導体基板を熱処理することにより前記強誘電体膜を結晶化して前記下部電極、前記強誘電体膜及び前記上部電極からなるキャパシタを形成する工程とを備え、
前記半導体基板を熱処理する工程において、点灯時間の異なる少なくとも2種類以上のランプを用い、第1の種類のランプを点灯し、点灯中もしくは消灯後熱処理温度が低下する前に第2の種類のランプであるフラッシュランプを前記第1の種類のランプの点灯時間よりも短い時間点灯することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体の製造装置及び半導体の製造プロセスに関し、特に、強誘電体膜を結晶化するため、もしくはコンタクト部のコンタクト特性を向上させる熱処理装置と熱処理方法及び半導体装置の製造方法に関するものである。

【0002】

【従来の技術】近年、強誘電体メモリ（Ferroelectric RAM）が注目されている。DRAMと略同等の応答速度を持ち、且つ記憶が消えない不揮発性という特徴を持つためである。その特徴は、汎用メモリはもとよりロジックデバイスと混載するシステムLSIでいかに発揮されるものとして期待を集めている。強誘電体メモリ素子の断面を図16に示す。図から明らかに、下から順に、トランジスタ、強誘電体キャパシタ、配線が形成されている。この強誘電体メモリ素子においてキャパシタの下部電極101は、プレート線を兼ねており、強誘電体膜102を挟んで上部電極103は、ビット線に接続されている。製造プロセスは、当然のことながら、最初にトランジスタが作成され、次に、強誘電体キャパシタが形成される。そして、接続孔が開孔されてA1-Cu配線が形成される。接続孔内の接続配線は、タングステン（W）が用いられる。

【0003】強誘電体メモリを製造する場合の困難さの一つは、強誘電体がプロセス損傷を受け易いということである。多層配線を形成するためのドライエッチングやスパッタリングを行った際に、プラズマ中の荷電粒子の影響を受け、さらに、これらのプロセスが減圧下で行われるのでチタン酸ジルコン酸鉛PZT（ $\text{Pb}(\text{Ti},$

$Zr_{1-x}O_x$) やタンタル酸ストロンチウムピスマス SBT (Sr_2BiTaO_6) などの強誘電体中に酸素が脱離し、強誘電性を著しく損ってしまふ。このような多層配線形成工程のプロセスダメージを避けるための一つの工夫として、例えば、特開平11-317500号公報には、多層配線を先に形成し、その上に強誘電体キャパシタを作成する方法が提案されている。多層配線を先に形成し、その上に強誘電体キャパシタを形成するのであるから、当然のことながら強誘電体は、配線形成工程のプロセスダメージを受けることはない。このプロセスの問題点は、強誘電体であるPZTやSBTの結晶化温度が、アルミニウム配線の耐える温度(450℃)よりも高いという点にある。PZTの結晶化温度は、低くても550℃であり、一方、SBTの場合は少なくとも650℃を要する。このような温度に加熱するとアルミニウムが溶融し、配線が分断するなどの問題が発生する。

【0004】このような問題を避けるために、例えば、熱処理温度が450℃程度のCVD(Chemical Vapour Deposition)で形成するプロセスが研究されているが、低温では、良質の強誘電体性能が実現されていない。強誘電体としての十分な性能を得るためには、やはり高い温度で十分に結晶化させる必要がある。加熱される時間が非常に短ければ、温度は高くてもアルミニウムは変質して溶融することはない。例えば、500℃の場合、数秒以内であれば、アルミニウムは変質しない。したがって、RTP(Rapid Thermal Process)も一つの手段となり得るが、現在のRTPで、例えば、650℃に加熱した場合、450℃以上に到達している時間が長いので、アルミニウムに変質が起きてしまふ。このように現在では、高温を要する結晶化とアルミニウムが変質しない温度以下でのプロセスという狭間に挟まれて、解が見つかからない状況である。

【0005】また、現在トランジスタの高性能化を進める上でゲート絶縁膜が薄膜化されるに及んでゲート電極空乏化という問題が顕在化している。ゲート電極空乏層の存在により寄生容量が増大してしまうので非常に薄いゲート絶縁膜を形成したとしても実効的な酸化膜厚が厚くなってしまう。これを解決するためには、メタルゲート電極もしくは高誘電率ゲート絶縁膜を用いることが極めて有効である。しかし、メタルゲートや高誘電体膜が直面する問題点の一つにコンタクトプロセスの低温化がある。通常、Si基板の表面上には自然酸化膜が存在しているため、それが障壁層となって金属とのコンタクトをとるのが難しい。近年、半導体装置のコンタクト部の形成方法は、層間絶縁膜にパターニングされ開口されたコンタクト孔に電極あるいは電極の下地層として金属導電性の膜を堆積させ、その後赤外加熱炉で550℃1時間以上の熱処理が行われてきた。この熱処理の目的は、電極と半導体基板界面の自然酸化膜を還元して低抵抗オ

ーミックコンタクトの形成を行うことである。

【0006】しかし、従来の熱処理条件はサーマルバジェットが大きく、抵抗率の低い金属であるAlは融点が低いために、また高誘電体材料であるTa、O₂は結晶化に伴いゲートリーク電流が増大するために、各々ゲート電極やゲート絶縁膜として用いるには十分ではない。また、素子特性の更なる高性能化への実現のためには低誘電率材料を層間絶縁膜に用いる必要があるが、従来の熱工程では密度の低下に伴い力学的強度が減少したり吸湿性が増加したりするため、トランジスタへの適用が困難になる。但しコンタクト部形成の熱処理温度を500℃以下にまで低温化するとコンタクト抵抗及び半導体基板面内でのバラツキが共に増大することが判明している。これは、500℃以下の熱処理ではシリコン基板上の自然酸化膜を十分に還元することができないためである。

【0007】

【発明が解決しようとする課題】以上のように、現在トランジスタの高性能化を進める上でゲート絶縁膜が薄膜化されるに及んでゲート電極空乏化という問題が顕在化している。そして、前述の低サーマルバジェットでコンタクト部を形成するという問題があった。さらに多層配線上に強誘電体キャパシタを形成する方法は、多層配線のダメージを避けることが出来るが、上述のようにアルミニウムが変質しない温度で強誘電体を結晶化しなければならないという制約がある。本発明は、このような事情によりなされたものであり、400℃程度の低温で良質な強誘電体膜を形成すること、低温でコンタクト性の高いコンタクト部を形成すること、低温で急速にシリサイド形成を行うことなどを実施するための熱処理方法及びこの熱処理方法を利用した半導体装置の製造方法を提供す。

【0008】

【課題を解決するための手段】本発明は、少なくとも2種類以上のランプを備え、まず、第1のランプを点灯して試料を加熱し、一定の温度に達したところで第2のランプを点灯し、試料の温度をさらに上昇させ所望の温度に到達せしめることを特徴としている。従来のRTPの場合、所望の温度まで一種類のランプで加熱する。例えば、熱処理温度を700℃とすると、700℃まで1種類のランプで加熱する。標準的なRTPの性能である50℃/秒で昇温したとすると、700℃に到達するまでに14秒、処理時間をゼロとして直ちに降温するとしても降温に20秒以上を要するため、トータルの熱処理時間は30秒を越える。試料が半導体基板であり、この上にアルミニウム配線が形成され、その上に層間絶縁膜を介して形成された強誘電体膜を結晶化により熱処理する場合において、アルミニウムにとって危険温度である450℃以上に加熱される時間は、10秒以上に及ぶことになり、アルミニウム配線の溶解に至ることになる。ア

ルミニウムは、450℃で加熱を続けても1時間は変質しない。500℃では10～15秒程度は、加熱を続けることができる。550℃では5～6秒程度は、加熱を続けることができる。

【0009】さらに、600℃では、大体1～2秒で変質する。アルミニウムは、660℃で熔融する。しかし、熔融温度より低い温度でも加熱時間を上記のような範囲を越えると、変質する。このような変質とはアルミニウム配線におけるアルミニウム粒が成長してヒロックが生じる状態をいう。第1のランプを用いて予備加熱を行うことが必要な理由は、以下の通りである。すなわち、第2のランプで加える熱エネルギーには、ある程度の制限が加わる。照射時間の非常に短いフラッシュランプだけで試料表面を加熱しようとする、場合によっては、大きな熱エネルギーが必要になることがある。そのような場合、狙いどおり強誘電体を結晶化できたとしても、印可されたエネルギーが下層に伝導し、そして、トータルのエネルギー量が多いためにアルミニウムの温度が上昇するという問題が起こる。第2のランプで投入される熱エネルギーは、強誘電体だけが加熱され、且つ結晶化に必要な程度に加熱されるように調整されなければならない。そのために、ある程度まで予備加熱しておくことが意味を持つのである。

【0010】図10は、ランプエネルギーと強誘電体膜の熱処理による温度の照射されるランプのエネルギー依存性を示す特性図である。図に示すように、強誘電体膜は、所定の温度になると結晶化が始まり、さらに高い温度Tになると分解する。そしてそれぞれに対応した必要エネルギーが図に示したエネルギー曲線から求まる。結晶化に必要なエネルギーは、エネルギー幅dの間にある。図11は、本発明を実施するに際して結晶化温度と熱処理時間との関係を示す特性図である。本発明では、第1のランプで強誘電体膜を所定の温度(T1又はT2)に予備加熱しておき、次に、短時間で昇温させることができる第2のランプで、例えば、1000分の1秒程度の短時間のうちに結晶化温度(Tc)にまで温度を上げる。第2のランプが与えるエネルギー量は、予備加熱の温度に依存している。第2のランプのエネルギー量を少なく(例えば、E2)したいときは、予備加熱温度を高く(例えば、T2)し、予備加熱時間を短くする(例えば、t2)と良い。フラッシュランプを第2のランプとして用いた場合において、エネルギー量を27ジュール(J)/cm²以下に設定すれば、強誘電体膜の下層に形成されたアルミニウム配線が熔融し破損しない。例えば、PZT強誘電体膜を結晶化する場合において、予備加熱温度を400℃に設定すると、フラッシュランプのエネルギーは、10J/cm²以上で結晶化する。

【0011】予備加熱を550℃に設定すると、フラッシュランプのエネルギーが7～8J/cm²で結晶化す

る。このように予備加熱温度が高い場合は、第1ランプの予備加熱温度を1秒以下にすることができる。ランプを用いず、試料台中にヒーターを埋め込み、このヒーターを用いて予備加熱を行うことも可能である。しかし、この場合、加熱されたヒーター上に試料を載置する関係上、本来の結晶化が起こる時間を挟んで前後の予備加熱時間は、数10秒に及ぶことになる。予備加熱温度がアルミニウムにとって問題のない温度であれば、この方法も可能である。しかし、第2のランプで印可する熱エネルギーの大きさによっては、500℃程度の予備加熱しなければならぬことも起こりうる。その場合、アルミニウムの変質を考えると、予備加熱時間を秒単位に短縮しなければならない。そのために予備加熱をランプで行うことが必要となるのである。ランプで予備加熱を行う方法が様々なケースに対応できるという幅広い応用性を持つのである。

【0012】また、本発明は、コンタクトプロセスのサーマルバジェットの低減化を目的に、発光波長分布と照射時間が異なる第1の加熱源と第2の加熱源とを組み合わせることを特徴としている。配線や電極と半導体基板や導電体膜とのコンタクト部を高速反応させることによりコンタクト抵抗の低抵抗化が実現される。また、発光波長分布及び照射時間が異なる第1の加熱源と第2の加熱源を組み合わせることでシリサイド形成を行うことを特徴としている。低温かつ急速にシリサイド形成を行うことができるため、耐熱性の低いメタルゲートや高誘電率ゲート絶縁膜、低誘電率層間絶縁膜などの新材料をトランジスタに適用できることが容易になり、素子特性の高性能化が実現できる。すなわち、本発明の熱処理方法は、試料を加熱処理する際に、点灯時間の異なる少なくとも2種類以上のランプを用いて加熱する工程を具備し、前記試料を加熱処理する際に、第1の種類のランプを点灯し、続いて、前記第1の種類のランプの点灯中にフラッシュランプからなる第2の種類のランプを点灯して試料を加熱することを特徴としている。

【0013】本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成し、この絶縁膜に前記半導体基板もしくはこの半導体基板上に形成された導電体膜を露出させるコンタクト孔を形成する工程と、前記コンタクト孔から露出している半導体基板表面もしくは前記導電体膜に接続する配線もしくは導電性電極を堆積させてコンタクト部を形成する工程と、前記半導体基板を熱処理することにより前記半導体基板表面もしくは前記導電体膜と前記配線もしくは前記導電性電極との前記コンタクト部のコンタクト性を向上させる工程とを備え、前記半導体基板を熱処理する工程において、発光波長分布及び照射時間の異なる2つの加熱源を用い、第1の加熱源を照射し、照射中もしくは照射停止後熱処理温度が低下する前に第2の加熱源を前記第1の加熱源の照射時間よりも短い時間照射することを特徴としている。前記配線もし

くは導電性電極は、前記半導体基板表面もしくは前記導電体膜の表面に形成される酸化膜を還元できる金属膜でも良い。前記酸化膜を還元できる金属膜は、酸化膜形成時と下地である前記半導体基板もしくは前記導電体膜を構成する元素との化合物形成時を併せた生成熱が、前記半導体基板表面もしくは前記導電体膜の表面に形成される酸化膜の生成熱より負に大きいようにしても良い。

【0014】前記酸化膜を還元できる金属膜にはシリコンが5~20wt%含有されているようにしても良い。前記加熱源は、発光波長が赤外領域にある前記第1の加熱源と、それより短波長側にある発光波長を有する第2の加熱源からなるようにしても良い。前記第2の加熱源は、発光波長領域の少なくとも一部が紫外領域にあっても良い。前記第2の加熱源は、フラッシュランプであってもよい。前記第1の加熱源による前記半導体基板の温度は、前記絶縁膜、前記導電体膜、前記配線及び前記導電性電極の特性劣化の誘発しない温度より低く、前記第2の加熱源は、低負荷内でコンタクト部の反応が促進する照射エネルギー密度に設定されるようにしても良い。

【0015】また、本発明の半導体装置の製造方法は、半導体素子が形成された半導体基板上に層間絶縁膜を介して少なくとも1層のアルミニウム配線を形成する工程と、前記アルミニウム配線上に層間絶縁膜を介して、下部電極、強誘電体膜、上部電極を順次スパッタリング法により堆積させる工程と、前記半導体基板を熱処理することにより前記強誘電体膜を結晶化して前記下部電極、前記強誘電体膜及び前記上部電極からなるキャパシタを形成する工程とを備え、前記半導体基板を熱処理する工程において、点灯時間の異なる少なくとも2種類以上のランプを用い、第1の種類のランプを点灯し、点灯中もしくは消灯後熱処理温度が低下する前に第2の種類のランプであるフラッシュランプを前記第1の種類のランプの点灯時間よりも短い時間点灯することを特徴としている。本発明の製造方法により形成された半導体装置は、半導体基板と、前記半導体基板に形成されたソース／ドレイン領域と、前記半導体基板上に形成され、少なくとも前記ソース／ドレイン領域の対向する領域間に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、少なくとも前記ソース／ドレイン領域表面に形成されたコバルトシリサイド表面層とを備えたことを特徴としている。

【0016】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図9に示す概略断面図を参照して本発明の熱処理装置を説明する。この熱処理装置は、アルミニウムからなる試料チャンバー1を有し、この試料チャンバー1内部には、試料を載置する試料台2、ガスを導入するガス導入口3、排気する排気口4、光を導入するための上部の石英窓5、試料を予備加熱するための棒状のランプ(第1のランプ)6、フラッシュ

ランプ(第2のランプ)7を備えている。棒状ランプ6は、3kWのタングステンハロゲンランプで16本、試料8の下に設置され、試料8を下から加熱する。一方、フラッシュランプ7は、同様に棒状のランプであり、15本が試料8の上に設置され、試料8を上から加熱する。両ランプは、いずれもそれぞれ専用の電源9、10に接続されている。ランプ点灯のタイミング、点灯時間及びフラッシュランプの点灯回数は、マイコンによって制御されるように構成されている。前記2種類のランプは、棒状のランプであることが本質的ではなく、ランプの分野でシングルエンドと呼ばれる一方向に外部端子が2つ設けられたタイプのランプでも同様の効果を期待することができる。

【0017】次に、図1及び図2を参照して第1の実施例を説明する。図1は、半導体基板と配線とのコンタクト部の形成方法を説明する製造工程断面図である。まず、図1(a)に図示するように、単結晶シリコン基板41にCVD(Chemical Vapor Deposition)法で200nmのSiO₂膜42を堆積させる。次に、図1(b)に図示するように、SiO₂膜42をバターニングして、0.3μm×0.3μmのコンタクト孔43を開く。次に、SiO₂膜42をマスクとしてシリコン半導体基板41にボロン(B)を加速エネルギー10keV、ドーズ5×10¹⁵cm⁻²でイオン注入する。これにより、図1(c)に図示するように、イオン注入層44が形成される。ここで、シリコン半導体基板41の表面には、p型層形成不純物に限らず、P、As等のイオン注入によるn型導電層が形成されても良い。その後、赤外ランプ加熱炉(RTA)の窒素雰囲気中で1000℃10秒の熱処理を行う。これにより、図1(d)に示すように、イオン注入層44の結晶回復が行われると共に不純物の活性化が行われて、イオン注入層44は、ソース／ドレイン領域などに用いられるp型不純物拡散領域47になる。次に、この不純物拡散領域47上も含めてシリコン半導体基板41上に膜厚30nm以下の金属膜45を堆積させる。金属膜45としてはシリコン半導体基板上の自然酸化膜を還元できる金属、例えば、Tiが望ましい。

【0018】これに適した金属として、他にはIIIa、IVa、Va族の高融点金属が挙げられる。その後、シリコン半導体基板1を窒素雰囲気中で赤外加熱炉内で400℃に加熱し、加熱中にエネルギー密度10J/cm²、パルス幅1msecを有するXeフラッシュランプを1パルス照射させる。これにより、金属膜5と下地シリコン半導体基板41とのオーミックコンタクトが形成された。次に、図1(e)に図示するように、抵抗率の低い金属膜46、例えば、Alを膜厚400nm程度堆積させてから、コンタクト孔43に合わせてバターニングして電極48を形成する。なお、本発明における半導体装置のコンタクト部形成における赤外加熱炉の熱処理条件

は、500℃以上の温度で長時間処理されることのないように設定される。上述の方法によって形成したこの実施例のサンプルS1において、A1電極と不純物拡散層間のコンタクト抵抗を実測したところ、 $1.3 \times 10^{-7} \Omega \text{cm}^2$ であった。

【0019】実施例におけるコンタクト抵抗の低減効果を調べるために、フラッシュランプの照射を行わずに、400℃の基板加熱のみを行い、図1(e)と同じ構造のサンプルS2を比較例として形成する。比較例のサンプルS2のコンタクト抵抗を実測したところ、 $5.3 \times 10^{-4} \Omega \text{cm}^2$ であった。さらに、従来の赤外加熱炉のみの熱処理条件550℃、90分で作製された図1(e)と同じ構造のサンプルS3のコンタクト抵抗を実測したところ、 $2.5 \times 10^{-7} \Omega \text{cm}^2$ であった。上述の結果から、実施例のサンプルS1では、比較例サンプルS2に比べてコンタクト抵抗が著しく低下しており、従来例のサンプルS3と比べても低下していることが分かる。

【0020】次に、実施例のサンプルS1、比較例のサンプルS2及び従来例のサンプルS3において、金属配線とシリコン半導体基板とのコンタクト部の元素の拡散挙動及び反応形態の様子をオージェ分光分析により調べる。その結果を図2に示す。図2は、本発明、比較例及び従来例の半導体装置のコンタクト部の反応形態においてフラッシュランプの効果を説明する組成図であり、縦軸が元素の組成比(atom%)、横軸がArイオンスパッタリング時間(分)を表わしている。即ち、横軸は深さ方向に対応している。図2(a)が実施例サンプルS1、図2(b)が比較例サンプルS2、図2(c)が従来例サンプルS3である。ここでは、さらにコンタクト抵抗を下げる方法としてシリコン半導体基板表面上に導電体膜C o S i₂層を設けており、金属膜TiとC o S i₂層との反応形態の様子が示されている。

【0021】図2に示されるように、比較例のサンプルS2では、Ti/C o S i₂界面に酸素が検出されており、C o S i₂上に絶縁体の自然酸化膜(S i O₂、C o O)が存在していることが分かる。一方、実施例サンプルS1及び従来例サンプルS3では、C o S i₂上に自然酸化膜は検出されず、金属膜Tiにより還元されていることが分かる。さらには、Tiと下地シリコン半導体基板との相互拡散が生じており、Tiシリサイド層を形成していることが判明した。ちなみに、比較例サンプルS2では、熱処理時間を90分以上続けても、Tiシリサイド層の形成を確認することはできなかった。以上の結果から、シリコン半導体基板表面上に存在する自然酸化膜の還元反応と金属膜によるシリサイド層の形成が、低抵抗コンタクト形成の鍵を握ると考えられる。低温熱処理ではシリコン半導体基板表面の自然酸化膜を金属膜であるTiが還元しきれずに、Tiシリサイド層の形成が抑制されていたためコンタクト抵抗を下げるこ

ができなかったと考えられる。この実施例におけるXeフラッシュランプの効果は、熱以外に光エネルギーをも利用することにより、赤外加熱炉では到達することのできないエネルギーを極短時間で得ることができたため、金属膜と下地シリコン半導体基板との高速反応が可能となり、低サーマルバジェットでコンタクト抵抗の低減化が実現できたものである。

【0022】本発明は、上記実施例に限られるものではない。半導体装置のコンタクト部を形成するための2つの加熱源は、発光波長が赤外領域にある加熱源とそれよりも短波長側で発光波長の少なくとも一部が紫外領域にあれば良く、例えば、Ar、N₂、エキシマ等のレーザや水素ランプを適用することも可能である。

【0023】次に、図3乃至図5を参照して第2の実施例を説明する。図3は、比較例サンプルS4のコンタクト部の反応形態においてフラッシュランプの効果を説明する組成図であり、縦軸が元素の組成比(atom%)、横軸がArイオンスパッタリング時間(分)を表わしている。即ち横軸は深さ方向に対応している。前述の第1の実施例にしたがって半導体装置を製造する。但し、この実施例における金属配線とシリコン半導体基板とのコンタクト部を形成するための熱処理条件は、基板温度を100～480℃、Xeフラッシュランプの照射エネルギー密度を5～25 J/cm²の範囲内に設定する。即ち、この実施例では、第1の加熱源による基板温度は高融点金属膜、ここではTi層が熱処理中の雰囲気からの影響を受けずに素子特性としての劣化を誘発しない温度を条件とし、第2の加熱源では光源本体の低負荷内でコンタクト部の反応が促進できる照射エネルギーに設定している。実施例におけるコンタクト部の反応効果を調べるために、基板温度を500℃に設定し、Xeフラッシュランプの照射エネルギー密度を10 J/cm²に設定したサンプルS4を比較例として作製する。

【0024】比較例のサンプルS4のA1電極と不純物拡散層間のコンタクト抵抗を実測したところ $7.2 \times 10^{-3} \Omega \text{cm}^2$ であった。上述の結果から、比較例サンプルS4は、第1の実施例のサンプルS1と比べてコンタクト抵抗が却って増大してしまうことが分かった。図3(a)は、比較例のサンプルS4について、オージェ分光分析からコンタクト部の反応形態の様子を調べた結果を示している。比較例サンプルS4ではTi層に相当量の酸素が取り込まれており、最表面に約15 nm程度のTi酸化膜が存在しているばかりか、Tiシリサイド層の膜厚も減少してしまっていることが分かる。このことは、基板温度が高くなるほど雰囲気の影響を受け易くなり、基板表面側から侵入してくる酸素量が増加することによりTiシリサイド層の成長率が制限されてしまうことを示唆している。すなわち、比較例サンプルS4では、金属膜Tiが酸化されて絶縁体となってしまったことと、Tiシリサイドの成長が抑制されてしまったこと

とで、コンタクト抵抗が増大したものと考察される。

【0025】そこで、シリコン半導体基板の基板温度を室温にした状態で、Xeフラッシュランプ（照射エネルギー： 10 J/cm^2 ）のみで、図1（e）に図示する構造のサンプルS5を作製する。この時のサンプルS5のコンタクト抵抗は、 $3.1 \times 10^{-3} \Omega\text{ cm}^2$ であり、実施例サンプルと比べると著しく高いものであった。図3（b）にはサンプルS5について、オージェ分光分析からコンタクト部の反応形態の様子を調べた結果を示している。以上の結果から、Ti層の酸化反応を阻止するために、第1の加熱源による基板温度を低く設定し過ぎても、第2の加熱源であるXeフラッシュランプのみでは、低抵抗コンタクトの形成は困難であることが分かる。Xeフラッシュランプ照射のみで金属シリサイド層を形成するには、 30 J/cm^2 以上の照射エネルギー密度が必要になってくると予想されるが、照射エネルギー密度が大きくなるほど、金属シリサイドの生成量を制御することが困難となり、またフラッシュランプ負荷の面から考えても実用的とはいえない。

【0026】図4は、低サーマルバジェットでコンタクト部にTiシリサイド層を形成し、低抵抗オーミックコンタクトを形成するために必要な第1の加熱源による基板温度と、第2の加熱源によるXeフラッシュランプ（パルス幅1msec時）の照射エネルギー密度との関係を示すものである。図中、斜線で示された領域は、Xeフラッシュランプの寿命を考慮した範囲内で $5 \times 10^{-7} \Omega\text{ cm}^2$ 以下の低抵抗コンタクトを形成することができる条件を示している。480℃付近までは基板温度を増加させるほど、低エネルギー密度のフラッシュ照射で、 $5 \times 10^{-7} \Omega\text{ cm}^2$ 以下の低抵抗コンタクトが得られることが分かる。図5は、Xeフラッシュランプを10回照射させた場合を図示したものである。照射回数を増加させると $5 \times 10^{-7} \Omega\text{ cm}^2$ 以下の低抵抗コンタクトの得られる条件が低温、低照射エネルギー側へ広がることが分かる。以上から、金属配線とシリコン半導体基板とのコンタクト部を形成するための熱処理条件は、基板温度を100～480℃、Xeフラッシュランプの照射エネルギー密度を5～25 J/cm²の範囲内に設定するのが適当である。

【0027】次に、図6を参照して第3の実施例について説明する。この実施例では、第1の実施例にしたがって半導体装置を製造する。ただし、この実施例における金属配線とシリコン半導体基板とのコンタクト部を形成するための電極下地層として、5～20%のSiが添加された金属導電性膜を堆積させる。Ti-10%Siの金属導電性膜をコンタクト底に堆積させ、その後、シリコン半導体基板の基板温度400℃でXeフラッシュランプをエネルギー密度10 J/cm²で1パルス照射させて、図1（e）に図示する構造のサンプルS6を作製する。即ち、本発明による特徴は、高融点金属膜をコン

タクト底に堆積する前に、コンタクト界面で金属シリサイド層を形成するためのSiを予め高融点金属膜内に含有させておくことにより熱工程に伴う下地基板であるシリコン半導体基板のシリコン表面側への前方拡散量を抑制し、シリサイデーション反応を抑制することで接合リーク電流の低減化を図ることにある。

【0028】この実施例におけるサンプルS6の接合リーク電流の低減効果を調べるために、コンタクトプロセスの熱工程は実施例のサンプルS6と同じであるが、Si未添加の金属膜Tiを電極下地層としたサンプルS1を用いて、比較実験を行う。実施例のサンプルS6において、逆方向バイアス電圧5V印加時の接合リーク電流を実測したところ $3.5 \times 10^{-9} \text{ A/cm}^2$ であった。また、Al電極と不純物拡散層間のコンタクト抵抗は、 $3.6 \times 10^{-7} \Omega\text{ cm}^2$ であった。一方、比較例のサンプルS1（第1の実施例では実施例サンプル）において、接合リーク電流を実測したところ、 $5.1 \times 10^{-7} \text{ A/cm}^2$ （コンタクト抵抗： $1.3 \times 10^{-7} \Omega\text{ cm}^2$ ）であった。さらに、第2の加熱源を使わずに第1の加熱源のみで550℃、90分の熱処理を行った従来例サンプルS3の接合リーク電流は $2.6 \times 10^{-9} \text{ A/cm}^2$ （コンタクト抵抗： $2.5 \times 10^{-7} \Omega\text{ cm}^2$ ）であった。これより、実施例サンプルS6の接合リーク電流は、従来例サンプルS3と同レベルのリーク電流が得られており、また比較例のサンプルS1と比べた場合にはコンタクト抵抗の上昇は見られるものの接合リーク電流は2桁近くも低くなり、極めて効果的に改善できることが分かる。

【0029】第2の加熱源を組み合わせるコンタクト部の形成方法は、金属シリサイド層を厚く形成できることでコンタクト抵抗の低減化には著しい効果が見られたものの、その反面、下地シリコン半導体基板の金属膜側への前方拡散量が多く、シリコン半導体基板内に空孔ができてしまい、その空孔が逆バイアス印加時に空乏層中に含まれてしまうために接合リーク電流の増大を招いていたと考えられる。そこで、金属膜堆積前にSiを予め添加させておくことで、熱処理に伴う下地シリコン半導体基板からのSiの拡散量を抑制し、シリサイデーション反応を制御しつつ金属シリサイド層を形成することができたために接合リーク電流の改善に至ったと考察される。図6は、基板温度400℃でXeフラッシュランプを照射エネルギー密度10 J/cm²で1パルス照射した時のTi中に添加されるSiの量に対するコンタクト抵抗と接合リーク電流（5V印加時）の関係を示す特性図である。Siの添加量が増えるほどコンタクト抵抗は上昇するが、接合リーク電流が小さくなることが分かる。コンタクト抵抗と接合リーク電流の両面からスペックを満たすことのできるSi添加量の範囲は、5～20%であることが示されている。

【0030】以上、金属配線とシリコン半導体基板との

良好なコンタクト特性を有するコンタクト部を形成するための電極下地層としての金属導電性膜に5~20%のSiを添加することが有効であることが分かる。次に、図7及び図8を参照して第4の実施例を説明する。この実施例ではロジック素子の不純物拡散領域と接続プラグとのコンタクト部の製造に本発明を適用する。p型シリコン半導体基板51の素子分離領域(STI)53に囲まれた素子領域にMOSトランジスタが形成されている。MOSトランジスタは、ソース/ドレイン領域を構成するn型不純物拡散領域57と、この不純物拡散領域57間の上に形成されたシリコン酸化膜からなるゲート絶縁膜54と、ゲート絶縁膜54上に形成されたポリシリコンなどからなり、側壁絶縁膜により保護されたゲート電極50が形成されている。ゲート電極50、不純物拡散領域57の表面にはコバルトシリサイド(CoSi₂)層55が形成され低抵抗化されている。半導体基板51の表面にはプラズマCVDにより形成されたシリコン窒化膜56が形成されている。シリコン窒化膜56の上にはBPSG膜及びその上のTEOS膜からなる層間絶縁膜52が形成されている。

【0031】層間絶縁膜52の表面は、平坦化され、TiN/Tiバリア金属層とこのバリア金属層に挟まれたAl-Cu金属膜から構成された金属配線59が形成されている。この金属配線59とMOSトランジスタのゲート電極50及び不純物拡散領域57は、層間絶縁膜52に形成されたコンタクト孔に埋め込まれた接続プラグ58により電気的に接続されている。接続プラグ58は、コンタクト孔の内壁に形成されたTiN/Tiバリア金属層とこのバリア金属層に包まれたタングステン(W)から構成されている。この接続プラグ58は、シリサイド層55に接続される。図7に示すA領域にそのコンタクト部が示される。シリサイド層は、ゲート電極50のポリシリコン上及び不純物拡散領域57上にコバルト膜をスパッタリング等により堆積させ、加熱処理してシリサイド化することにより形成される。しかし、A領域に示すコンタクト構造は、SiO₂及びCoO層が形成されているので、高抵抗になっている(図8(a))。そこで、通常は、接続プラグのバリア金属層を形成してから550℃、90分の条件でアニールしてSiO₂及びCoO層を消失させ、低抵抗化させている(図8(b))。この実施例ではこのような条件でアニールを行わず、半導体基板を赤外線加熱により400℃で加熱し、加熱中にエネルギー密度10J/cm²、パルス幅1msecを有するXeフラッシュランプを1照射させる。これにより、400℃の低温でありながら、従来と同じ、図8(b)に示すA領域の構造が得られる。

【0032】次に、図12乃至図14を参照して第5の実施例を説明する。図12は、1トランジスタ・1キャパシタ構成の強誘電体メモリセルの等価回路を示してお

り、これは、DRAMセルの等価回路と同じ回路接続を有する。図13は、FRAMが形成された半導体基板の断面図である。従来のFRAMが形成された半導体基板は、トランジスタの上に強誘電体キャパシタ、その上に多層配線が形成された構造であるが、この実施例では、加熱処理する試料としてトランジスタの上に多層配線が形成され、多層配線の上に強誘電体キャパシタが形成された構造の半導体基板を用いる。図14は、本発明が適用されるFRAM構造の半導体装置の製造工程を説明するフローチャートである。まず、ウェーハにメモリなどに用いられるMOSトランジスタを形成し(1)、次に、層間絶縁膜を介してアルミニウムもしくはアルミニウムを主成分とする金属配線を多層構造に形成する(2)。その後、層間絶縁膜を介して強誘電体膜を有するキャパシタを形成する(3)。この半導体装置は、図16に示すFRAM構造のものに比較してキャパシタの位置が上下入れ代わっていることに特徴がある。

【0033】Cはペロブスカイト構造を有する強誘電体を電極間絶縁膜に用いた情報記録用のキャパシタ、Qはこのキャパシタに直列に接続されている電荷転送用MOSトランジスタ、WLはこのMOSトランジスタのゲートに接続されているワード線、BLはMOSトランジスタのソース/ドレイン領域の一方に接続されているビット線PLは、上記キャパシタの一端(プレート)に接続されているプレート線、VPLはプレート線電圧である。図13は、強誘電体特性のある強誘電体膜を有するキャパシタを具備したFRAMの断面図である。p型シリコン半導体などからなる半導体基板20にはLOCOS法によるSiO₂から構成された素子分離領域が形成されている。半導体基板20の表面領域にはソース/ドレイン領域として用いられるn型不純物拡散領域21が形成されている。ソース/ドレイン領域間の上にはゲート酸化膜(SiO₂)22を介してゲート電極23が形成されている。ワード線(WL)に繋がるゲート電極23は、ポリシリコン膜とポリシリコン膜上のタングステンシリサイド膜などからなり、上面はシリコン窒化膜により保護されている。半導体基板20は、ゲート電極23を覆うように減圧CVD法により形成された層間絶縁膜として用いられるBPSG(Born Phosphorus Silicate Glass)膜からなる第1の絶縁膜241により被覆されている。第1の絶縁膜241は、CMP(Chemical Mechanical Polishing)などにより研磨されて平坦化される。

【0034】第1の層間絶縁膜241にはバリア金属層を介在させたアルミニウムなどの金属配線251が埋め込み形成されている。第1の層間絶縁膜241上には、それぞれ第2乃至第4の金属配線252~254が埋め込み形成されたシリコン酸化膜などからなる第2乃至第4の層間絶縁膜242~244が形成され、第4の層間絶縁膜244上には第5の層間絶縁膜245が堆積

されている。第5の層間絶縁膜245の上には、強誘電体キャパシタCが形成されている。キャパシタCは、層間絶縁膜245に接触し、下部電極301、強誘電体特性を有するPZTなどの強誘電体膜302及びプレート線(PL)に繋がる上部電極303が順次堆積された積層体から構成されている。第1乃至第5の層間絶縁膜241~245にはコンタクト孔が形成され、そこにタングステンなどの接続プラグ27が埋め込み形成され、接続プラグ27は、下部電極301とMOSトランジスタQのソース/ドレイン領域の一方とを電気的に接続して

いる。ソース/ドレイン領域の他方は、ビット線(BL)(図示しない)に繋がっている。
【0035】下部電極301は、層間絶縁膜245に接触するTi膜及びTi膜の上に形成されたPt膜から構成されている。上部電極303は、Pt膜から構成されている。キャパシタCを被覆するように層間絶縁膜245上に絶縁膜28が形成されている絶縁膜28は、TEOS膜(SiO₂膜)などからなる。絶縁膜28は、CMPなどにより平坦化される。絶縁膜28にはエッチングによりコンタクト孔及び配線溝が形成され、そこにアルミニウムなどの金属配線(PL)29が埋め込み形成される。以上、説明したFRAMにおいてキャパシタ強誘電体膜は、本発明の結晶化方法を適用して形成される。すなわち、PZTやSROPなどの強誘電体膜をアモルファス状態で成膜させ、その後熱処理により結晶化してキャパシタ誘電体として用いる膜が形成される。

【0036】次に、図15を参照して第6の実施例を説明する。図15は、強誘電体膜を誘電体とするキャパシタが形成された半導体基板の断面図である。p型(100)シリコン半導体基板31を加熱炉に入れ酸素雰囲気中で850℃に加熱し、膜厚100nmの熱酸化膜32を形成する。この上に、アルゴンガスを用いるスパッタリングによってアルミニウム(Al)膜33を膜厚400nm程度堆積する。この上に、SiH₄とN₂Oガスを用いるプラズマCVD法によりシリコン酸化膜34を膜厚500nm程度堆積する。この半導体基板31上に、さらに、スパッタリングによって金属チタン(Ti)膜35と白金(Pt)36を、それぞれ30nmと100nmの膜厚で堆積する。次に、再びスパッタリング装置を用いて、チタン酸ジルコン酸鉛(PbZr_xTi_{1-x}O₃、以下、PZTという)膜37を膜厚150nm程度堆積する。このときのスパッタリングに用いたガスは、アルゴンガスで、スパッタリング中の基板温度は、室温とする。

【0037】この半導体基板31を図9に示す加熱処理装置に入れ、酸素を導入しながら、結晶化を行う。この工程は、まず、半導体基板31を予備加熱するために下からのタングステンハロゲンランプ(第1のランプ)6に3kWを投入し、1秒間に80℃の速度で昇温した。昇温開始から5秒後400℃の到達した時点でフラッシュ

ュランプ(第2のランプ)7を1回だけ点灯し、その直後にタングステンハロゲンランプ6を消灯した。フラッシュランプ7の点灯時間は、1.3msecであり、そのエネルギーは、12J/cm²である。このように本発明を実施した半導体基板をX線回折で分析したところ、フラッシュランプ6を照射しなかった試料(半導体基板)ではPZTが結晶化していなかったのに対し、フラッシュランプを照射した試料ではペロブスカイト相に結晶化していることが確認された。同時に下地のアルミニウム膜33の状態を顕微鏡と走査型電子顕微鏡で調べたが、全く変化が認められず、アルミニウム膜33を変化させることなくPZT膜37を結晶化させることが可能であることが明らかになった。タングステンハロゲンランプ7による予備加熱温度を400℃に固定し、PZT膜の結晶化に要するフラッシュランプ8の出力を調べたところ、10J/cm²以上では結晶化が起こることが判明した。

【0038】また、逆に予備加熱温度をパラメータとしてアルミニウム膜33を変化させることなくPZT膜37を結晶化させることが出来る範囲を調べると、予備加熱時間を1秒以内にすれば550℃程度まで加熱してもアルミニウム膜33に変化が起こらないことが確認できた。この半導体基板31上に再びPt膜38をアルゴンガスを用いるスパッタリングにより形成した。膜厚は、150nmとした。この試料の分極特性を測定したところ、残留分極値が30μC/cm²あり、通常のRTAで結晶化したPZT膜に比較して何ら遜色がないことが明らかになった。2種類のランプを同時に点灯すると、それだけ電力を消費する。消費電力の削減を目標として、例えば、タングステンハロゲンランプ6を点灯し、消灯した瞬間にフラッシュランプ7を点灯することも可能である。この場合、数10kWの電力を消費するタングステンハロゲンランプ6を消灯した後であるが、消灯直後のために半導体基板31の温度はまだ保たれている。したがって、ランプ点灯のための電極が一つで済み、同時に消費電力の削減を計ることが可能となる。

【0039】強誘電体膜は、PZT膜に限らずSBT(SrBiTa₂O₇)、BTO(BaTiO₃)など多くの材料が存在するが、本発明を実施することによりアルミニウム膜に変化を起こすことなく、これらの膜を結晶化させることが可能であることはいうまでもない。本発明は、半導体基板上に形成された強誘電体膜の結晶化方法に限るものではなく、チタン酸ストロンチウム(SrTiO₃、STOと略)、チタン酸ストロンチウム・バリウム(Ba_xSr_{1-x}TiO₃)の結晶化、Ta₂O₅の結晶化などの下地に与える熱エネルギーを抑制しなければならないプロセスに幅広く応用することが可能である。

【0040】

【発明の効果】本発明によれば、半導体装置のコンタク

ト部の製造を低温で且つ急速に制御性良く行うことができ、その結果メタルゲート電極や高誘電率ゲート絶縁膜、低誘電率層間絶縁膜に見られる耐熱性の低い新材料を半導体装置に容易に適用できるようになり素子特性の高性能化が実現可能になる。また、本発明を用いることによって、アルミニウム配線に熱的損傷を与えることなく、その上に強誘電体キャパシタを形成することができる。アルミニウム配線は何層形成されていても、その上で強誘電体キャパシタを形成することが可能になる。

【図面の簡単な説明】

【図1】本発明の半導体装置におけるコンタクト部の製造工程を示す断面図。

【図2】本発明及び比較例のサンプルにおけるコンタクト部の反応形態においてフラッシュランプの効果を示す組成図。

【図3】本発明及び比較例のサンプルにおけるコンタクト部の反応形態において基板温度の効果を示す組成図。

【図4】フラッシュランプを1回照射した時の低抵抗コンタクトを形成するために必要な基板温度とフラッシュランプの照射エネルギー密度との関係を示す特性図。

【図5】フラッシュランプを10回照射した時の低抵抗コンタクトを形成するために必要な基板温度とフラッシュランプの照射エネルギー密度との関係を示す特性図。

【図6】下地金属膜に対するSiの添加量とコンタクト抵抗及び接合リーク電流との関係を示す特性図。

【図7】本発明のロジック素子が形成されたシリコン半導体基板の断面図。

【図8】図7のA領域の構造を示す断面図。

【図9】本発明の熱処理装置の概略断面図。

【図10】本発明を説明するランプエネルギーと強誘電体膜の熱処理による温度の照射されるランプのエネルギー依存性を示す特性図。

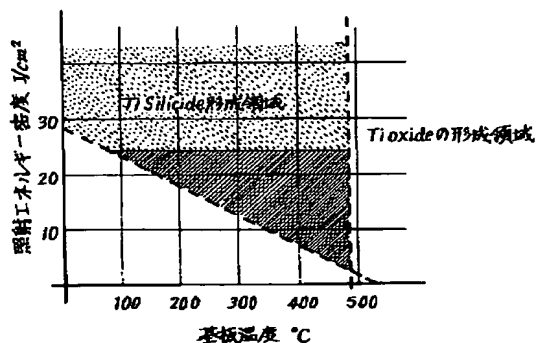
【図11】本発明を説明する結晶化温度と熱処理時間との関係を示す特性図。

10 【符号の説明】

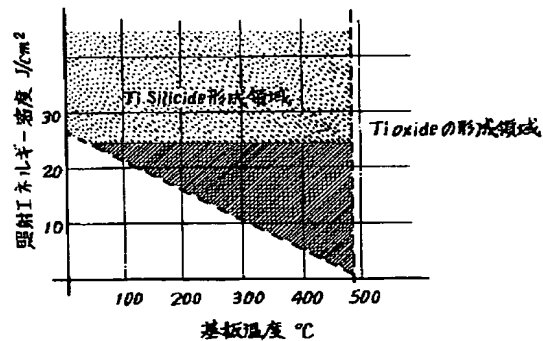
1・・・試料チャンバー、 2・・・試料台、 3・・・ガス導入口、4・・・排気口、 5・・・石英窓、6・・・第1のランプ（タングステンハロゲンランプ）、7・・・第2のランプ（フラッシュランプ）、8・・・試料、9、10・・・電源、20、31・・・シリコン基板、21、47、57・・・不純物拡散領域、22・・・ゲート酸化膜、23、50・・・ゲート電極、27・・・接続プラグ、28・・・絶縁膜、29、251～254・・・金属配線、32・・・熱酸化膜、33・・・アルミニウム膜、34・・・シリコン酸化膜、35・・・金属チタン膜、36・・・白金膜、37・・・チタン酸ジルコン酸鉛膜、41、51・・・シリコン半導体基板、42・・・SiO₂膜、43・・・コンタクト孔、44・・・イオン注入層、45・・・金属膜、46・・・抵抗率の低い金属膜、48・・・電極、52、241～245・・・層間絶縁膜、53・・・素子分離領域、54・・・ゲート絶縁膜、55・・・シリサイド層、56・・・シリコン窒化膜、58・・・接続プラグ、59・・・金属配線、101、301・・・下部電極、102、302・・・強誘電体膜、103、303・・・上部電極、241～245・・・層間絶縁膜。

*

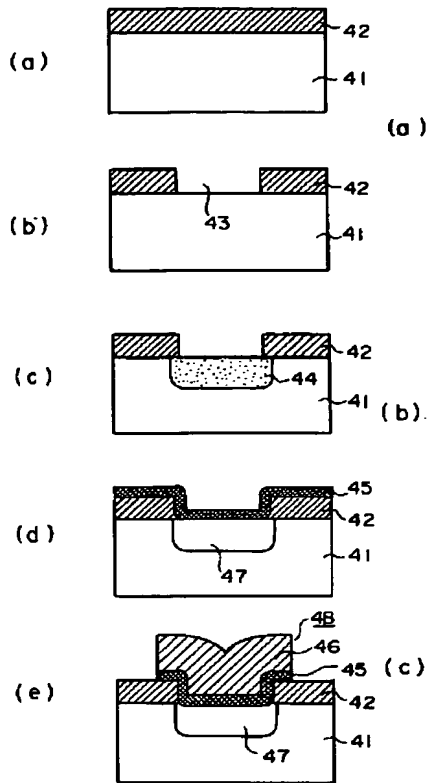
【図4】



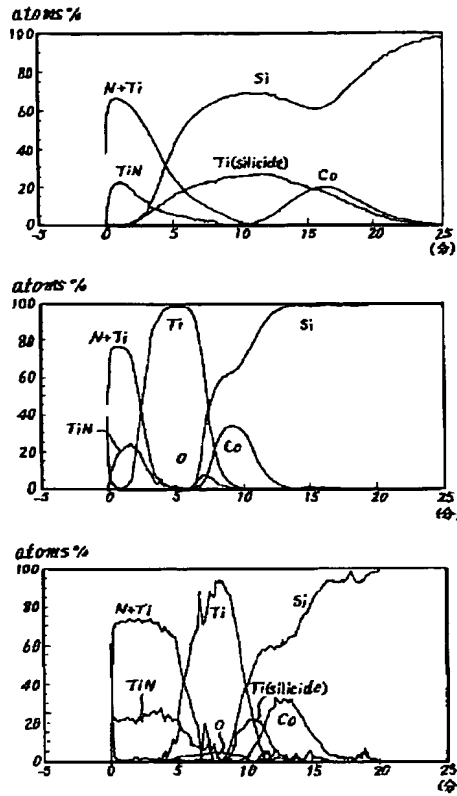
【図5】



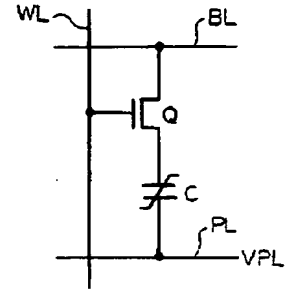
【図1】



【図2】

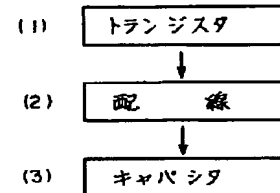


【図12】

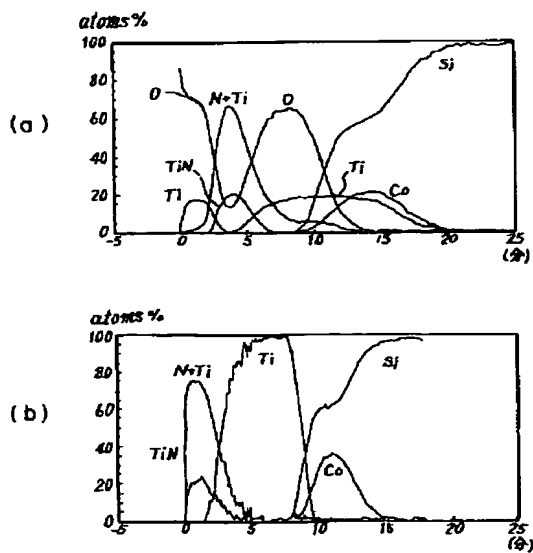


【図14】

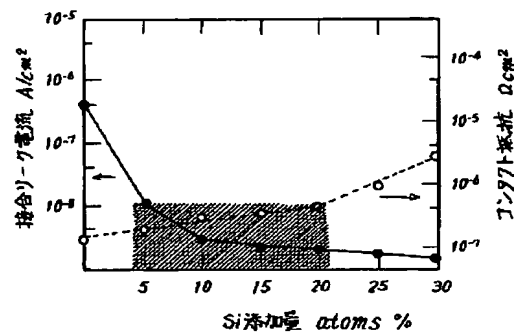
半導体基板処理



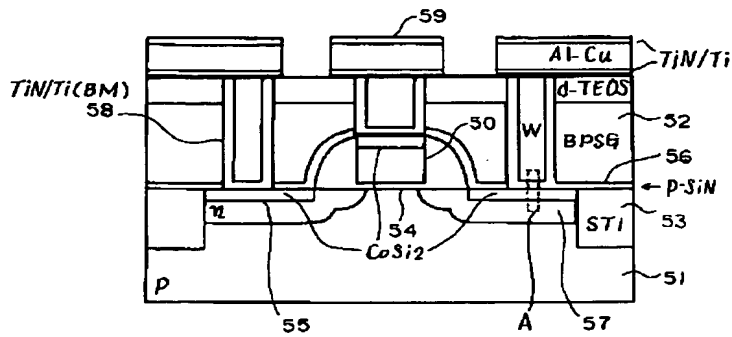
【図3】



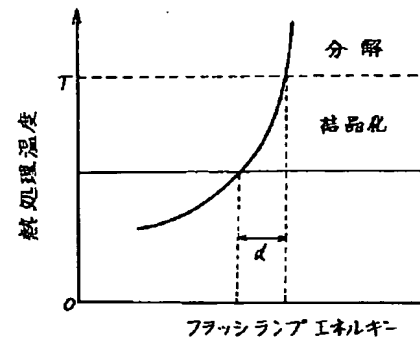
【図6】



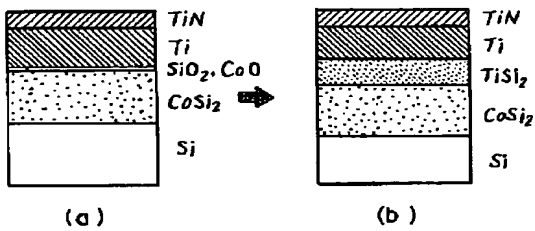
【図7】



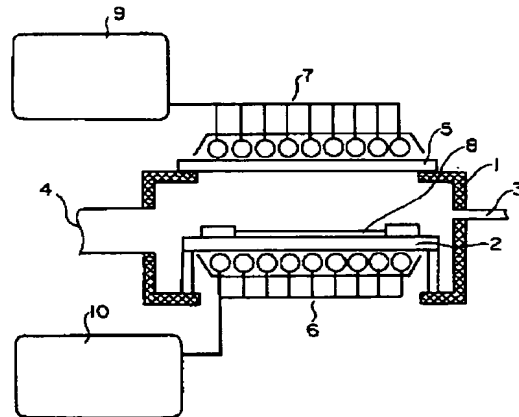
【図10】



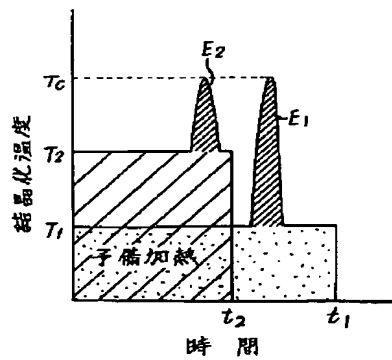
【図8】



【図9】



【図11】



【図13】

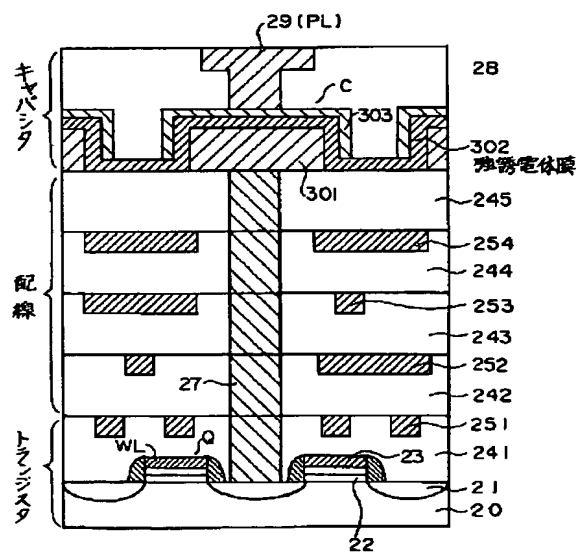


Fig. 1 shows two cross-sectional views of a semiconductor device. (a) shows a stack of layers 31, 32, 33, 34, 35, 36, and 37. (b) shows the same stack with three rectangular blocks 38 on top of layer 37.

(51)Int.Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 27/105		H 0 1 L 21/90	C
27/10	4 6 1	27/10	4 4 4 B

(72)発明者 須黒 恭一
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72)発明者 有門 経敏
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72)発明者 飯塚 佳男
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

F ターム(参考) 4M104 BB14 BB20 BB25 DD02 DD80
DD84 FF22 HH15
5F033 HH08 HH09 HH18 HH27 HH33
JJ01 JJ08 JJ18 JJ19 JJ27
JJ33 KK01 KK25 MM05 MM08
MM13 NN06 NN07 QQ37 QQ70
QQ73 QQ82 RR04 RR06 RR15
SS04 SS11 SS15 TT02 VV16
XX09
5F083 AD10 AD21 FR02 GA02 GA25
JA15 JA17 JA35 JA36 JA37
JA38 JA39 JA40 KA01 KA19
KA20 MA06 MA17 MA18 NA03
PR33 PR34 ZA12

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成15年5月9日(2003.5.9)

【公開番号】特開2002-151428(P2002-151428A)
 【公開日】平成14年5月24日(2002.5.24)
 【年通号数】公開特許公報14-1515
 【出願番号】特願2000-345066(P2000-345066)
 【国際特許分類第7版】

H01L 21/26
 21/28 301
 21/3205
 21/768
 27/105
 27/10 461

【F I】

H01L 21/26 J
 21/28 301 S
 301 R
 27/10 461
 21/88 Q
 21/90 C
 27/10 444 B

【手続補正書】

【提出日】平成15年2月3日(2003.2.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 試料を加熱処理する際に、加熱時間の異なる2つの加熱源を用いて加熱する工程を具備し、前記試料を加熱処理する際に、第1の加熱源により加熱し、続いて、前記第1の加熱源により加熱中に第2の加熱源であるフラッシュランプを点灯して試料を加熱することを特徴とする熱処理方法。

【請求項2】 前記第1の加熱源は、前記第2の加熱源よりも長い時間前記試料を加熱する加熱源であることを特徴とする請求項1に記載の熱処理方法。

【請求項3】 半導体基板上に絶縁膜を形成し、この絶縁膜に前記半導体基板もしくはこの半導体基板上に形成された導電体膜を露出させるコンタクト孔を形成する工程と、
 前記コンタクト孔から露出している半導体基板表面もしくは前記導電体膜に接続する配線もしくは導電性電極を堆積させてコンタクト部を形成する工程と、
 前記半導体基板を熱処理することにより前記半導体基板

表面もしくは前記導電体膜と前記配線もしくは前記導電性電極との前記コンタクト部のコンタクト性を向上させる工程とを備え、

前記半導体基板を熱処理する工程において、発光波長分布及び照射時間の異なる2つの加熱源を用い、第1の加熱源を照射し、照射中もしくは照射停止後熱処理温度が低下する前に第2の加熱源を前記第1の加熱源の照射時間よりも短い時間照射することを特徴とする半導体装置の製造方法。

【請求項4】 前記配線もしくは導電性電極は、前記半導体基板表面もしくは前記導電体膜の表面に形成される酸化膜を還元できる金属膜であることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記酸化膜を還元できる金属膜は、酸化膜形成時と下地である前記半導体基板もしくは前記導電体膜を構成する元素との化合物形成時を併せた生成熱が、前記半導体基板表面もしくは前記導電体膜の表面に形成される酸化膜の生成熱より負に大きいことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記酸化膜を還元できる金属膜にはシリコンが5～20原子%含有されていることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記加熱源は、発光波長が赤外領域にある前記第1の加熱源と、それより短波長側にある発光波

長を有する第2の加熱源からなることを特徴とする請求項4乃至請求項6に記載の半導体装置の製造方法。

【請求項8】 前記第2の加熱源は、発光波長領域の少なくとも一部が紫外領域にあることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記第2の加熱源は、フラッシュランプであることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】 前記第1の加熱源による前記半導体基板の温度は、前記絶縁膜、前記導電体膜、前記配線及び前記導電性電極の特性劣化の誘発しない温度より低く、前記第2の加熱源は、低負荷内でコンタクト部の反応が促進する照射エネルギー密度に設定されることを特徴とする請求項3乃至請求項9のいずれかに記載の半導体装置の製造方法。

【請求項11】 半導体素子が形成された半導体基板上に層間絶縁膜を介して少なくとも1層のアルミニウム配線を形成する工程と、

前記アルミニウム配線上に層間絶縁膜を介して、下部電極、強誘電体膜、上部電極を順次スパッタリング法により堆積させる工程と、

前記半導体基板を熱処理することにより前記強誘電体膜を結晶化して前記下部電極、前記強誘電体膜及び前記上部電極からなるキャパシタを形成する工程とを備え、前記半導体基板を熱処理する工程において、点灯時間の異なる少なくとも2種類以上のランプを用い、第1の種類のランプを点灯し、点灯中もしくは消灯後熱処理温度が低下する前に第2の種類のランプであるフラッシュランプを前記第1の種類のランプの点灯時間よりも短い時間点灯することを特徴とする半導体装置の製造方法。

【請求項12】 前記第1の種類のランプによる加熱温度は、前記アルミニウム配線の熔融温度以下であり、加熱時間は、前記アルミニウム配線の変質する時間より短いことを特徴とする請求項11に記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】本発明は、試料を加熱処理する際に、加熱時間の異なる2つの加熱源、例えば、少なくとも2種類以上のランプを備え、まず、第1のランプを点灯して試料を加熱し、一定の温度に達したところで第2のランプを点灯し、試料の温度をさらに上昇させ所望の温度に到達せしめることを特徴としている。従来のRTPの場合、所望の温度まで1種類のランプで加熱する。例えば、熱処理温度を700℃とすると、700℃まで1種類のランプで加熱する。標準的なRTPの

性能である50℃/秒で昇温したとすると、700℃に到達するまでに14秒、処理時間をゼロとして直ちに降温するとしても降温に20秒以上を要するため、トータルの熱処理時間は30秒を越える。試料が半導体基板であり、この上にアルミニウム配線が形成され、その上に層間絶縁膜を介して形成された強誘電体膜を結晶化により熱処理する場合において、アルミニウムにとって危険温度である450℃以上に加熱される時間は、10秒以上に及ぶことになり、アルミニウム配線の溶解に至ることになる。アルミニウムは、450℃で加熱を続けても1時間は変質しない。500℃では10～15秒程度は、加熱を続けることができる。550℃では5～6秒程度は、加熱を続けることができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】さらに、600℃では、大体1～2秒で変質する。アルミニウムは、660℃で熔融する。しかし、熔融温度より低い温度でも加熱時間を上記のような範囲を越えると、変質する。このような変質とはアルミニウム配線におけるアルミニウム粒が成長してヒロックが生じる状態をいう。第1のランプを用いて予備加熱を行うことが必要な理由は、以下の通りである。すなわち、第2のランプで加える熱エネルギーには、ある程度の制限が加わる。照射時間の非常に短いフラッシュランプだけで試料表面を加熱しようとする、場合によっては、大きな熱エネルギーが必要になることがある。そのような場合、狙いどおり強誘電体を結晶化できたとしても、印加されたエネルギーが下層に伝導し、そして、トータルのエネルギー量が多いためにアルミニウムの温度が上昇するという問題が起こる。第2のランプで投入される熱エネルギーは、強誘電体だけが加熱され、且つ結晶化に必要な程度に加熱されるように調整されなければならない。そのために、ある程度まで予備加熱しておくことが意味を持つのである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】予備加熱を550℃に設定すると、フラッシュランプのエネルギーが7～8J/cm²で結晶化する。このように予備加熱温度が高い場合は、第1ランプの予備加熱温度を1秒以下にすることができる。ランプを用いず、試料台中にヒーターを埋め込み、このヒーターを用いて予備加熱を行うことも可能である。しかし、この場合、加熱されたヒーター上に試料を載置する関係上、本来の結晶化が起こる時間を挟んで前後の予備加熱

時間は、数10秒に及ぶことになる。予備加熱温度がアルミニウムにとって問題のない温度であれば、この方法も可能である。しかし、第2のランプで印加する熱エネルギーの大きさによっては、500℃程度の予備加熱しなければならないことも起こりうる。その場合、アルミニウムの変質を考えると、予備加熱時間を秒単位に短縮しなければならない。そのために予備加熱をランプで行うことが必要となるのである。ランプで予備加熱を行う方法が様々なケースに対応できるという幅広い応用性を持つのである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】また、本発明は、コンタクトプロセスのサーマルバジェットの低減化を目的に、発光波長分布と照射時間が異なる第1の加熱源と第2の加熱源とを組み合わせることを特徴としている。配線や電極と半導体基板や導電体膜とのコンタクト部を高速反応させることによりコンタクト抵抗の低抵抗化が実現される。また、発光波長分布及び照射時間が異なる第1の加熱源と第2の加熱源を組み合わせることでシリサイド形成を行うことを特徴としている。低温かつ急速にシリサイド形成を行うことができるため、耐熱性の低いメタルゲートや高誘電率ゲート絶縁膜、低誘電率層間絶縁膜などの新材料をトランジスタに適用できることが容易になり、素子特性の高性能化が実現できる。すなわち、本発明の熱処理方法は、試料を加熱処理する際に、加熱時間の異なる2つの加熱源を用いて加熱する工程を具備し、前記試料を加熱処理する際に、第1の加熱源により加熱し、続いて、前記第1の加熱源により加熱中に第2の加熱源であるフラッシュランプを点灯して試料を加熱することを特徴としている。前記第1の加熱源は、前記第2の加熱源よりも長い時間前記試料を加熱する加熱源であっても良い。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】また、本発明の半導体装置の製造方法は、半導体素子が形成された半導体基板上に層間絶縁膜を介して少なくとも1層のアルミニウム配線を形成する工程と、前記アルミニウム配線上に層間絶縁膜を介して、下部電極、強誘電体膜、上部電極を順次スパッタリング法により堆積させる工程と、前記半導体基板を熱処理することにより前記強誘電体膜を結晶化して前記下部電極、前記強誘電体膜及び前記上部電極からなるキャパシタを形成する工程とを備え、前記半導体基板を熱処理する工程において、点灯時間の異なる少なくとも2種類以上の

ランプを用い、第1の種類のランプを点灯し、点灯中もしくは消灯後熱処理温度が低下する前に第2の種類のランプであるフラッシュランプを前記第1の種類のランプの点灯時間よりも短い時間点灯することを特徴としている。前記第1の種類のランプによる加熱温度は、前記アルミニウム配線の溶融温度以下であり、加熱時間は、前記アルミニウム配線の変質する時間より短いようにしても良い。本発明の製造方法により形成された半導体装置は、半導体基板と、前記半導体基板上に形成されたソース／ドレイン領域と、前記半導体基板上に形成され、少なくとも前記ソース／ドレイン領域の対向する領域間上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、少なくとも前記ソース／ドレイン領域表面に形成されたコバルトシリサイド表面層とを備えたことを特徴としている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】層間絶縁膜52の表面は、平坦化され、TiN/Tiバリアメタル層とこのバリアメタル層に挟まれたAl-Cu金属膜から構成された金属配線59が形成されている。この金属配線59とMOSトランジスタのゲート電極50及び不純物拡散領域57は、層間絶縁膜52に形成されたコンタクト孔に埋め込まれた接続ブラグ58により電気的に接続されている。接続ブラグ58は、コンタクト孔の内壁に形成されたTiN/Tiバリアメタル層とこのバリアメタル層に包まれたタングステン(W)から構成されている。この接続ブラグ58は、シリサイド層55に接続される。図7に示すA領域にそのコンタクト部が示される。シリサイド層は、ゲート電極50のポリシリコン上及び不純物拡散領域57上にコバルト膜をスパッタリング等により堆積させ、加熱処理してシリサイド化することにより形成される。しかし、A領域に示すコンタクト構造は、SiO₂及びCoO層が形成されているので、高抵抗になっている(図8(a))。そこで、通常は、接続ブラグのバリアメタル層を形成してから550℃、90分の条件でアニールしてSiO₂及びCoO層を消失させ、低抵抗化させている(図8(b))。この実施例ではこのような条件でアニールを行わず、半導体基板を赤外線加熱により400℃で加熱し、加熱中にエネルギー密度10J/cm²、パルス幅1msecを有するXeフラッシュランプを1照射させる。これにより、400℃の低温でありながら、従来と同じ、図8(b)に示すA領域の構造が得られる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】また、逆に予備加熱温度をパラメーターとしてアルミニウム膜33を変化させることなくPZT膜37を結晶化させることが出来る範囲を調べると、予備加熱時間を1秒以内にすれば550℃程度まで加熱してもアルミニウム膜33に変化が起らないことが確認できた。この半導体基板31上に再びPt膜38をアルゴンガスを用いるスパッタリングにより形成した。膜厚は、150nmとした。この試料の分極特性を測定したところ、残留分極値が $30\mu\text{C}/\text{cm}^2$ あり、通常のR

TAで結晶化したPZT膜に比較して何ら遜色がないことが明らかになった。2種類のランプを同時に点灯すると、それだけ電力を消費する。消費電力の削減を目指して、例えば、タングステンハロゲンランプ6を点灯し、消灯した瞬間にフラッシュランプ7を点灯することも可能である。この場合、数10kWの電力を消費するタングステンハロゲンランプ6を消灯した後であるが、消灯直後のために半導体基板31の温度はまだ保たれている。したがって、ランプ点灯のための電極が一つで済み、同時に消費電力の削減を計ることが可能となる。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

